

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Sung-Taeg KANG :
Serial No.: [NEW] : Attn: Applications Branch
Filed: September 5, 2003 : Attorney Docket No.: SEC.1037
For: METHOD FOR FABRICATING NON-VOLATILE MEMORY DEVICE HAVING
SIDEWALL GATE STRUCTURE AND SONOS CELL STRUCTURE

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Korean application:

Appln. No. 10-2002-0055002 filed September 11, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: September 5, 2003

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0055002
Application Number PATENT-2002-0055002

출원년월일 : 2002년 09월 11일
Date of Application SEP 11, 2002

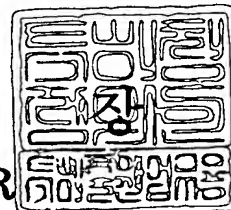
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 18 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.09.11
【국제특허분류】	H01L
【발명의 명칭】	측벽 게이트와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자의 제조 방법
【발명의 영문명칭】	Method for fabricating non-volatile memory device having a sidewall gate and SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) cell structure
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	강성택
【성명의 영문표기】	KANG,Sung Taeg
【주민등록번호】	710507-1009919
【우편번호】	138-777
【주소】	서울특별시 송파구 송파2동 삼익아파트 209-1107
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 14 항 557,000 원

【합계】 586,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명의 불휘발성 메모리 소자의 제조 방법은, 실리콘 기판의 제1 표면 위에 터널링층 패턴, 전하 트랩층 패턴 및 차폐층 패턴이 순차적으로 적층된 수직 구조물을 형성하는 단계와, 수직 구조물에 의해 노출된 실리콘 기판의 제2 표면 위에 게이트 절연막을 형성하는 단계와, 게이트 절연막의 일부 표면 위에서 수직 구조물의 상부 측면과 접촉되면서 수직 구조물의 상부 표면으로부터 돌출된 게이트 스페이서를 형성하는 단계와, 수직 구조물, 게이트 스페이서 및 게이트 절연막의 노출 표면 위에 게이트 형성용 도전막을 적층하는 단계와, 게이트 형성용 도전막을 전면 식각하여 수직 구조물의 일부 표면과 게이트 절연막의 일부 표면을 노출시키는 게이트 전극을 형성하는 단계와, 게이트 전극을 식각 마스크로 한 식각 공정을 수행하여 컨트롤 게이트 전극에 의해 노출된 수직 구조물을 제거하는 단계, 및 컨트롤 게이트 전극에 의해 노출된 실리콘 기판에 불순물 이온을 주입하여 소스 영역 및 드레인 영역을 형성하는 단계를 포함한다.

【대표도】

도 9

【명세서】**【발명의 명칭】**

측벽 게이트와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자의 제조 방법{Method for fabricating non-volatile memory device having a sidewall gate and SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) cell structure}

【도면의 간단한 설명】

도 1은 일반적인 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 나타내 보인 도면이다.

도 2는 측벽 게이트와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 나타내 보인 도면이다.

도 3 내지 도 9는 본 발명에 따른 측벽 게이트와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <4> 본 발명은 불휘발성 메모리 소자의 제조 방법에 관한 것으로서, 특히 측벽 게이트와 SONOS (Silicon-Oxide-Nitride-Oxide-Silicon) 셀 구조를 갖는 불휘발성 메모리 셀의 제조 방법에 관한 것이다.
- <5> 데이터를 저장하기 위해 사용되는 반도체 메모리 소자들은, 일반적으로, 휘발성(volatile)과 불휘발성(non-volatile) 메모리 소자로 구별될 수 있다. 휘발성 메모리

소자들은 전원 공급이 중단됨에 따라 저장된 데이터를 소실하지만, 불휘발성 메모리 소자는 전원 공급이 중단되더라도 저장된 데이터를 유지한다. 따라서 이동 전화 시스템, 음악 및/또는 영상 데이터를 저장하기 위한 메모리 카드 및 그 밖의 다른 응용 장치에서와 같이, 전원을 항상 사용할 수 없거나, 종종 중단되거나, 또는 낮은 파워 사용이 요구되는 상황에서는 불휘발성 메모리 소자들이 폭넓게 사용된다.

<6> 일반적으로 불휘발성 메모리 소자의 셀 트랜지스터들은 적층된 게이트(stacked gate) 구조를 갖는다. 적층된 게이트 구조는, 셀 트랜지스터의 채널 영역 위에서 순차적으로 적층되는 게이트 절연막, 플로팅 게이트 전극, 게이트간 절연막 및 컨트롤 게이트 전극을 포함한다. 경우에 따라서 불휘발성 메모리 소자는, 내부에 채널 영역이 형성되는 실리콘막, 터널링(tunneling)층을 형성하는 산화막, 전하 트랩(charge trapping)층으로 사용되는 질화막, 차폐(blocking)층으로 사용되는 산화막 및 컨트롤 게이트 전극으로 사용되는 실리콘막을 포함하는 구조로 이루어질 수 있다. 때때로 이와 같은 막들은 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) 셀 구조로서 함축적으로 언급된다.

<7> 도 1은 일반적인 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 나타내 보인 도면이다.

<8> 도 1을 참조하면, 상부 표면 영역에 상호 일정 간격 이격되도록 배치된 소스 영역(104) 및 드레인 영역(106)을 갖는 실리콘 기판(102) 위에 ONO막(110)이 형성된다. 상기 ONO막(110)은, 터널링층으로서의 제1 실리콘 산화막(112), 전하 트랩층으로서의 실리콘 질화막(114)을 및 차폐층으로서의 제2실리콘 산화막이 순차적으로 적층된 구조를 갖는다. ONO막(110) 위에는 컨트롤 게이트 전극으로 사용되는 폴리실리콘막(120)이 형성된다.

- <9> 이와 같은 불휘발성 메모리 소자에 쓰거나 프로그램 동작을 수행하기 위해서, 컨트롤 게이트 전극(120) 및 드레인 영역(106)에는 양의 바이어스를 인가하고, 소스 영역(104)은 접지시킨다. 컨트롤 게이트 전극(120) 및 드레인 영역(106)에 인가된 전압들은 소스 영역(104)으로부터 드레인 영역(106)에 이르는 채널 영역의 길이를 따라 수직적이고 수평적인 전계를 만들어낸다. 이 전계에 의해 전자들은 소스(104)로부터 밀려서 드레인 영역(106)을 향해 가속되기 시작한다. 전자들은 채널 길이를 따라 이동하면서 에너지를 얻으며, 몇몇 전자들은, 터널링층(112)의 포텐셜 장벽을 뛰어넘어서 전하 트랩층(114)으로 들어가기에 충분한 에너지를 얻는 "열적(hot)" 상태가 된다. 이와 같은 현상이 발생할 확률은 드레인 영역(106) 근처의 채널 영역에서 가장 큰데, 이는 드레인 영역(106) 근처의 채널 영역은 전자들이 가장 큰 에너지를 얻는 곳이기 때문이다. 열 전자들이 절연성 물질로 이루어진 전하 트랩층(114)으로 주입되기만 하면, 열 전자들은 전하 트랩층(114)에 트랩되어 그 안에 저장되고, 메모리 셀의 문턱 전압은 높아진다.
- <10> 상기 불휘발성 메모리 소자를 소거하기 위해서는, 메모리 셀을 프로그램시키거나 읽을 때 사용된 전압과는 다른 전압들이 사용된다. 예를 들면, 드레인 영역(106)에 양의 바이어스를 인가하고, 컨트롤 게이트 전극(120)에는 음의 바이어스를 인가한다. 그리고 소스 영역(104)은 플로팅 상태로 만든다. 그러면, 이전에 실리콘 질화막(114)에 저장된 전자들이 드레인(106)을 향하여 이동되거나, 드레인 영역(106) 내의 홀들이 실리콘 질화막(114)으로 주입된다. 결국 실리콘 질화막(114)에 이전에 저장되었던 전자들이 제거되거나 또는 주입된 홀들에 의해 중성화되고, 그에 따라 메모리 셀은 소거된다.
- <11> 최근 열 전자들이 실리콘 질화막(114) 내에서도 특히 드레인 영역(106) 근처의 실리콘 질화막(114)에 국한되어 트랩되는 현상을 이용하여, 드레인 영역(106)에 가까운 부

분에만 ONO막(110)을 형성하고, 그 결과 ONO막의 측벽에까지 컨트롤 게이트 전극으로서의 폴리실리콘막이 덮이는 측벽 게이트(sidewall gate)를 채택한 구조가 제안되고 있다.

<12> 도 2는 이와 같이 측벽 게이트와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 나타내 보인 도면이다. 도 2에서 도 1과 동일한 참조 부호는 동일한 영역 또는 층을 나타내며, 그 경우 설명이 생략될 수도 있다.

<13> 도 2를 참조하면, 제1 실리콘 산화막(212), 실리콘 질화막(214) 및 제2 실리콘 산화막(214)이 순차적으로 적층된 ONO막(210)이 드레인 영역(106) 근처의 실리콘 기판(102) 위에 형성된다. 그리고 ONO막(210)이 형성되지 않는 실리콘 기판(102) 위에는 게이트 절연막으로서의 제3 실리콘 산화막(230)이 형성된다. ONO막(210) 및 제3 실리콘 산화막(230) 위에는 컨트롤 게이트 전극으로서의 폴리실리콘막(220)이 형성된다. ONO막(210)의 두께가 제3 실리콘 산화막(230)의 두께보다 더 크므로, 폴리실리콘막(220)은 ONO막(210)의 일부 측벽상에도 접촉되며, 이에 따라 상기 폴리실리콘막(220)을 측벽 게이트라 언급한다.

<14> 이와 같이 측벽 게이트 및 SONOS 셀 구조를 갖는 불휘발성 메모리 소자는 여러 가지 장점들을 갖고 있다는 것은 잘 알려져 있다. 예컨대 제3 실리콘 산화막(230)의 두께를 조절함으로써 소자의 전기적인 특성을 향상시킬 수 있으며, ONO막(210)을 드레인 영역(106) 근처의 실리콘 기판(102) 상에 형성함으로써 소자의 집적도도 또한 향상시킬 수 있다. 그러나 이와 같은 측벽 게이트 및 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 제조하기 위해서는 포토리소그래피 공정의 한계 내에서 공정이 이루어져야 한다. 즉 상기 ONO막(210)을 적층한 후에 패터닝을 위한 식각 마스크 형성을 위해서는 포토리소그래피 방법을 사용하여야 하는데, 소자의 집적도가 크게 증가하는 경우, 포토리소그래

피의 한계에 의해 미스얼라인(misalign)이 발생할 수 있으며, 이에 따라 소자의 고 집적도 달성에 제한을 가한다는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<15> 본 발명이 이루고자 하는 기술적 과제는 포토리소그래피의 한계에 제한받지 않는 측벽 게이트와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 제조하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<16> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 불휘발성 메모리 소자의 제조 방법은, 실리콘 기판의 제1 표면 위에 터널링층 패턴, 전하 트랩층 패턴 및 차폐층 패턴이 순차적으로 적층된 수직 구조물을 형성하는 단계; 상기 수직 구조물에 의해 노출된 실리콘 기판의 제2 표면 위에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막의 일부 표면 위에서 상기 수직 구조물의 상부 측면과 접촉되면서 상기 수직 구조물의 상부 표면으로부터 돌출된 게이트 스페이서를 형성하는 단계; 상기 수직 구조물, 게이트 스페이서 및 게이트 절연막의 노출 표면 위에 게이트 형성용 도전막을 적층하는 단계; 상기 게이트 형성용 도전막을 전면 식각하여 상기 수직 구조물의 일부 표면과 상기 게이트 절연막의 일부 표면을 노출시키는 게이트 전극을 형성하는 단계; 상기 게이트 전극을 식각 마스크로 한 식각 공정을 수행하여 상기 컨트롤 게이트 전극에 의해 노출된 수직 구조물을 제거하는 단계; 및 상기 컨트롤 게이트 전극에 의해 노출된 실리콘 기판에 불순물 이온을 주입하여 소스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 한다.

- <17> 상기 수직 구조물을 형성하는 단계는, 상기 실리콘 기판 위에 터널링층, 전하 트랩층 및 차폐층을 순차적으로 적층하는 단계와, 상기 차폐층 위에 상기 차폐층의 일부 표면을 노출시키는 마스크막 패턴을 형성하는 단계, 및 상기 마스크막 패턴을 식각 마스크로 한 식각 공정으로 차폐층, 전하 트랩층 및 터널링층을 순차적으로 제거하여 상기 실리콘 기판의 제2 표면을 노출시키는 수직 구조물을 형성하는 단계를 포함하는 것이 바람직하다.
- <18> 이 경우, 상기 터널링층, 전하 트랩층 및 차폐층은 각각 제1 산화막, 질화막 및 제2 산화막을 사용하여 형성하는 것이 바람직하다. 상기 제1 산화막은 열 산화 방법을 사용하여 형성할 수 있다. 상기 질화막은 저압 화학 기상 증착법 또는 상기 제1 산화막에 대한 질화 공정을 수행하여 형성할 수 있다. 상기 제2 산화막은 저압 화학 기상 증착법을 수행하여 형성할 수 있다.
- <19> 상기 마스크막 패턴은 질화막 패턴인 것이 바람직하다.
- <20> 상기 전하 트랩층은 폴리실리콘 도트를 포함하는 막으로 형성할 수도 있다. 상기 전하 트랩층은 질화물 도트를 포함하는 막으로 형성할 수도 있다.
- <21> 상기 게이트 스페이서를 형성하는 단계는, 상기 게이트 절연막, 수직 구조물의 일부 노출 측면 및 상기 마스크막 패턴 위에 게이트 스페이서 형성용 도전막을 형성하는 단계와, 상기 게이트 스페이서 형성용 도전막을 전면 식각하여 상기 수직 구조물의 일부 측면과 상기 마스크막 패턴의 측면상에 부착된 게이트 스페이서를 형성하는 단계, 및 상기 마스크막 패턴을 제거하여 상기 게이트 스페이서가 상기 수직 구조물의 상부 표면 위로 돌출되도록 하는 단계를 포함하는 것이 바람직하다.

- <22> 상기 게이트 스페이서 형성용 도전막은 폴리실리콘막을 사용하여 형성하는 것이 바람직하다.
- <23> 상기 게이트 형성용 도전막은 폴리실리콘막을 사용하여 형성하는 것이 바람직하다.
- <24> 상기 게이트 형성용 도전막을 전면 식각하는 단계는 에치 백을 사용하여 수행하는 것이 바람직하다.
- <25> 상기 게이트 형성용 도전막 상부에 금속 실리사이드막을 형성하는 단계를 더 포함할 수도 있다.
- <26> 이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.
- <27> 도 3 내지 도 9는 본 발명에 따른 측벽 게이트와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.
- <28> 먼저 도 3을 참조하면, 실리콘 기판(102) 위에 제1 산화막(311), 제1 질화막(313), 제2 산화막(315) 및 제2 질화막(322)을 순차적으로 형성한다. 제1 산화막(311)은 터널링층으로 사용되며, 열 산화(thermal oxidation) 방법을 사용하여 형성한다. 상기 열 산화 방법은 N_2O 가스 또는 NO 가스 분위기에서 수행될 수 있다. 제1 질화막(313)은 전하 트랩층으로 사용되며, 저압 화학 기상 증착(LP CVD: Low Pressure Chemical Vapor Deposition) 방법을 사용하여 형성한다. 또는 상기 제1 산화막(311)에 대한 질화(nitridation) 공정을 수행하여 제1 질화막(313)을 형성할 수도 있다. 전하 트랩층으로서 제1 질화막(313) 대신에 폴리실리콘 도트(polysilicon dot) 또는 질화물 도트

(nitride dot)를 포함하는 막을 사용할 수도 있다. 제2 산화막(315)은 차폐층으로 사용되며, LP CVD 방법을 사용하여 형성한다. 그리고 제2 질화막(322)은 후속 공정에서의 식각 마스크막으로 사용되며, 마찬가지로 LP CVD 방법을 사용하여 형성한다.

<29> 다음에 도 4를 참조하면, 제2 질화막(322) 위에 포토레지스트막 패턴(미도시)을 형성한다. 이 포토레지스트막 패턴은 제2 질화막(322)의 일부 표면을 노출시키는 개구부를 갖는다. 다음에 상기 포토레지스트막 패턴을 식각 마스크로 한 식각 공정을 수행하여 제2 질화막 패턴(322)을 형성한다. 상기 식각 공정은 건식 식각 공정을 사용하여 수행할 수 있다. 제2 질화막 패턴(322)은 제2 산화막(도 3의 315)의 일부 표면을 노출시키는 개구부를 갖는다. 다음에 상기 포토레지스트막 패턴을 제거하고, 제2 질화막 패턴(322)을 식각 마스크로 한 식각 공정을 수행하여 제2 산화막 패턴(316), 제1 질화막 패턴(314) 및 제1 산화막 패턴(312)을 순차적으로 형성하면서 실리콘 기판(102)의 일부 표면을 노출시킨다. 이때 식각 공정은 건식 식각 방법만을 사용할 수 있지만, 실리콘 기판(102)이 식각 데미지를 받지 않도록 건식 식각 및 습식 식각을 모두 사용할 수도 있다. 실리콘 기판(102)의 일부 표면을 노출시킨 후에는 문턱 전압 조절을 위한 이온 주입 공정을 수행한다.

<30> 다음에 도 5를 참조하면, 노출된 실리콘 기판(102) 표면 위에 제3 산화막(330)을 형성한다. 제3 산화막(330)은 게이트 절연막으로서 사용되며, 열 산화 방법 중 온도 산화(MTO; Middle Temperature Oxidation) 방법을 사용하여 형성할 수 있다. 제3 산화막(330)의 두께는 제1 질화막 패턴(314) 상부 표면보다 높게 배치되도록 함으로써, 후속 공정에서의 폴리실리콘막과 제1 질화막 패턴(314)이 전기적으로 연결되는 것을 방지한

다. 다음에 전면에 게이트 스페이서 형성용 도전막으로서 폴리실리콘막(340)을 형성한다.

<31> 다음에 도 6을 참조하면, 폴리실리콘막(340)을 전면 식각하여 제2 질화막 패턴(322)과 제3 산화막(330) 표면에 있는 폴리실리콘막(340)을 모두 제거한다. 그러면 제3 산화막(330) 위에서 제2 산화막 패턴(316)과 제2 질화막 패턴(226) 측벽에만 남은 게이트 스페이서로서의 폴리실리콘막 스페이서(342)가 만들어진다. 상기 폴리실리콘막(340)에 대한 식각 공정은 에치백(etch-back)을 사용하여 수행할 수 있다.

<32> 다음에 도 7을 참조하면, 제2 질화막 패턴(322)을 완전히 제거한다. 상기 제2 질화막 패턴(322)을 제거하기 위해서 인산을 식각액으로 이용하는 습식 식각 방법을 사용한다. 제2 질화막 패턴(322)이 제거되면, 제2 산화막 패턴(316)이 노출되며, 동시에 제2 질화막 패턴(322)과 접촉되어 있던 폴리실리콘막 스페이서(342)의 측면도 노출된다.

<33> 다음에 도 8을 참조하면, 전면에 게이트 형성용 도전막으로서의 폴리실리콘막(344)을 형성한다. 이 폴리실리콘막(344)은 폴리실리콘막 스페이서(342)를 덮으면서, 동시에 제2 산화막 패턴(316) 및 제3 산화막(330)의 노출 표면을 덮는다. 폴리실리콘막(344)의 두께(d)는, 후술하는 바와 같이, 소망하는 ONO막의 폭에 의해 결정된다. 폴리실리콘막(344)을 형성한 후에, 통상의 실리사이드 공정을 수행하여 폴리실리콘막(344) 상부에 금속 실리사이드막을 형성할 수도 있다.

<34> 다음에 도 9를 참조하면, 폴리실리콘막(344)을 전면 식각하여 실리콘 기판(302)을 덮던 폴리실리콘막(344)을 제거함으로써, 컨트롤 게이트 전극으로서의 폴리실리콘막(346)을 완성한다. 상기 폴리실리콘막(340)에 대한 식각 공정은 에치백(etch-back)을 사용하여 수행할 수 있다. 폴리실리콘막(344)을 전면 식각하면, 다시 제2 산화막 패턴

(316)의 일부 표면과 제3 산화막 패턴(330)의 일부 표면만이 노출된다. 그리고 제2 산화막 패턴(316)의 나머지 부분과 제3 산화막 패턴(330)의 나머지 부분은 폴리실리콘막(346)에 의해 덮인다. 다음에 폴리실리콘막(346)에 의해 노출된 제2 산화막 패턴(316), 제1 질화막 패턴(314), 제1 산화막 패턴(312) 및 제3 산화막 패턴(330)을 제거하여, 실리콘 기판(302)의 일부 표면이 노출되도록 한다.

<35> 이 과정에서 폭이 "W"인 ONO막(310)이 완성되는데, 이 ONO막(310)의 폭인 "W"는 전적으로 폴리실리콘막(344)의 두께(d)에 의해 좌우된다. 따라서 보다 넓은 폭의 ONO막(310)을 형성하고자 하는 경우에는 폴리실리콘막(344)의 두께(d)가 다소 작도록 폴리실리콘막(344)을 적층하면 되고, 이와 반대로 보다 작은 폭의 ONO막(310)을 형성하고자 하는 경우에는 폴리실리콘막(344)의 두께(d)가 다소 크도록 폴리실리콘막(344)을 적층하면 된다. 이와 같이, ONO막(310)의 폭(W)은 전적으로 이전 단계에서 적층되는 폴리실리콘막(344)의 두께에 의해서만 결정되므로, 포토리소그래피 방법의 한계로 인한 제한을 받지 않는다.

<36> 상기 폴리실리콘막(346)을 형성한 후에는, 통상의 이온 주입 공정을 수행하여 실리콘 기판(302) 상부 일정 영역에 각각 소스 영역(304) 및 드레인 영역(306)을 형성하여, 측벽 게이트와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 완성한다. 경우에 따라서 소스 영역과 드레인 영역의 위치는 서로 바뀔 수도 있다.

<37> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

【발명의 효과】

<38> 이상 설명한 바와 같이, 본 발명에 따른 불휘발성 메모리 소자의 제조 방법에 의하면, ONO막의 폭이 이전 단계에서 적층되는 폴리실리콘막의 두께에 의해 좌우되며, 이 과정에서 포토리소그리피 공정이 사용되지 않으므로, 미세한 폭의 ONO막을 형성할 수 있으며, 이에 따라 소자의 집적도를 향상시킬 수 있다는 이점을 제공한다.

【특허청구범위】**【청구항 1】**

실리콘 기판의 제1 표면 위에 터널링층 패턴, 전하 트랩층 패턴 및 차폐층 패턴이 순차적으로 적층된 수직 구조물을 형성하는 단계;

상기 수직 구조물에 의해 노출된 실리콘 기판의 제2 표면 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막의 일부 표면 위에서 상기 수직 구조물의 상부 측면과 접촉되면서 상기 수직 구조물의 상부 표면으로부터 돌출된 게이트 스페이서를 형성하는 단계;

상기 수직 구조물, 게이트 스페이서 및 게이트 절연막의 노출 표면 위에 게이트 형성용 도전막을 적층하는 단계;

상기 게이트 형성용 도전막을 전면 식각하여 상기 수직 구조물의 일부 표면과 상기 게이트 절연막의 일부 표면을 노출시키는 게이트 전극을 형성하는 단계;

상기 게이트 전극을 식각 마스크로 한 식각 공정을 수행하여 상기 컨트롤 게이트 전극에 의해 노출된 수직 구조물을 제거하는 단계; 및

상기 컨트롤 게이트 전극에 의해 노출된 실리콘 기판에 불순물 이온을 주입하여 소스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 2】

제1항에 있어서, 상기 수직 구조물을 형성하는 단계는,

상기 실리콘 기판 위에 터널링층, 전하 트랩층 및 차폐층을 순차적으로 적층하는 단계;

상기 차폐층 위에 상기 차폐층의 일부 표면을 노출시키는 마스크막 패턴을 형성하는 단계; 및

상기 마스크막 패턴을 식각 마스크로 한 식각 공정으로 차폐층, 전하 트랩층 및 터널링층을 순차적으로 제거하여 상기 실리콘 기판의 제2 표면을 노출시키는 수직 구조물을 형성하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 3】

제2항에 있어서,

상기 터널링층, 전하 트랩층 및 차폐층은 각각 제1 산화막, 질화막 및 제2 산화막을 사용하여 형성하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 4】

제3항에 있어서,

상기 제1 산화막은 열 산화 방법을 사용하여 형성하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 5】

제3항에 있어서,

상기 질화막은 저압 화학 기상 증착법 또는 상기 제1 산화막에 대한 질화 공정을 수행하여 형성하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 6】

제3항에 있어서,

상기 제2 산화막은 저압 화학 기상 증착법을 수행하여 형성하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 7】

제2항에 있어서,

상기 마스크막 패턴은 질화막 패턴인 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 8】

제2항에 있어서,

상기 전하 트랩층은 폴리실리콘 도트를 포함하는 막으로 형성하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 9】

제2항에 있어서,

상기 전하 트랩층은 질화물 도트를 포함하는 막으로 형성하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 10】

제2항에 있어서, 상기 게이트 스페이서를 형성하는 단계는,

상기 게이트 절연막, 수직 구조물의 일부 노출 측면 및 상기 마스크막 패턴 위에 게이트 스페이서 형성용 도전막을 형성하는 단계;

상기 게이트 스페이서 형성용 도전막을 전면 식각하여 상기 수직 구조물의 일부 측면과 상기 마스크막 패턴의 측면상에 부착된 게이트 스페이서를 형성하는 단계; 및

상기 마스크막 패턴을 제거하여 상기 게이트 스페이서가 상기 수직 구조물의 상부 표면 위로 돌출되도록 하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 셀의 제조 방법.

【청구항 11】

제10항에 있어서,

상기 게이트 스페이서 형성용 도전막은 폴리실리콘막을 사용하여 형성하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 12】

제1항에 있어서,

상기 게이트 형성용 도전막은 폴리실리콘막을 사용하여 형성하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 13】

제1항에 있어서,

상기 게이트 형성용 도전막을 전면 식각하는 단계는 에치 백을 사용하여 수행하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

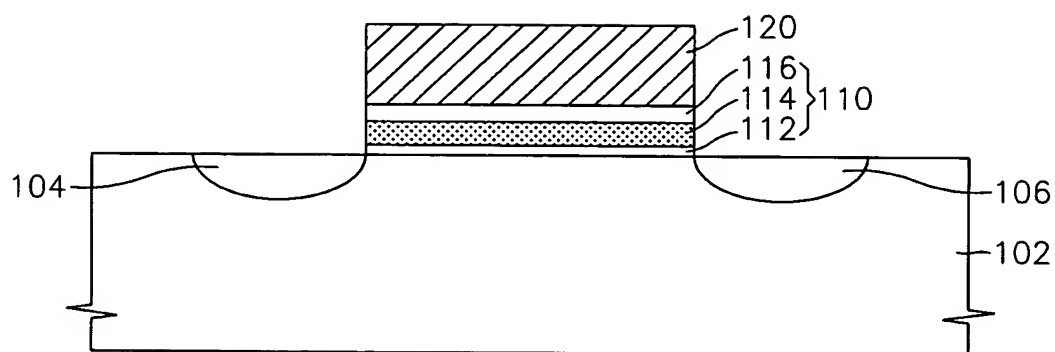
【청구항 14】

제1항에 있어서,

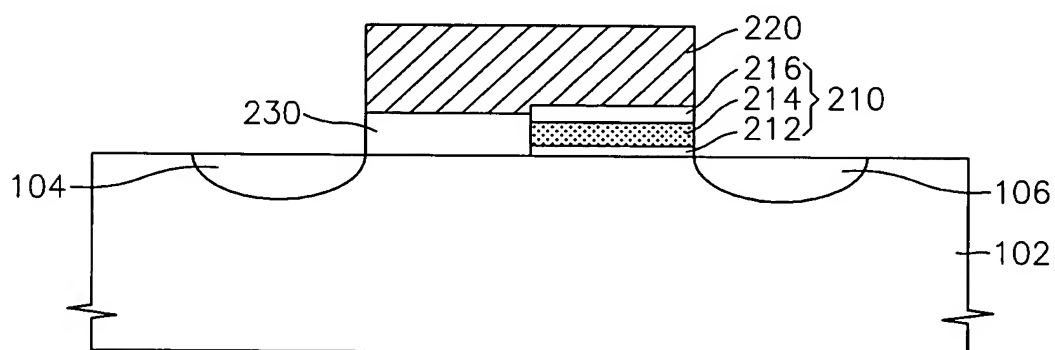
상기 게이트 형성용 도전막 상부에 금속 실리사이드막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【도면】

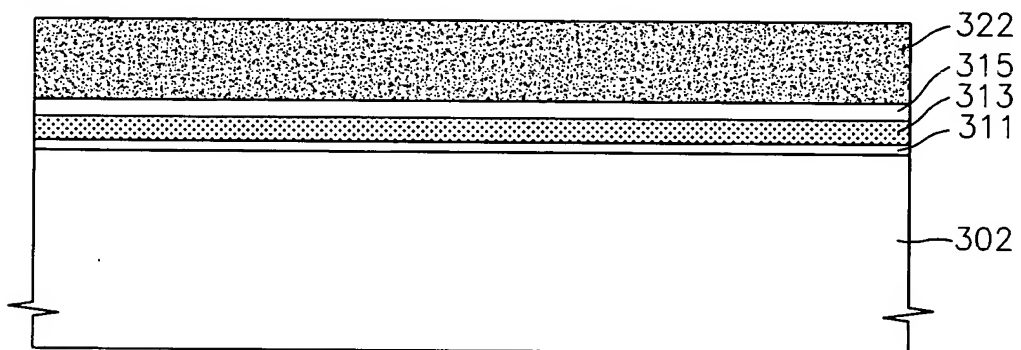
【도 1】



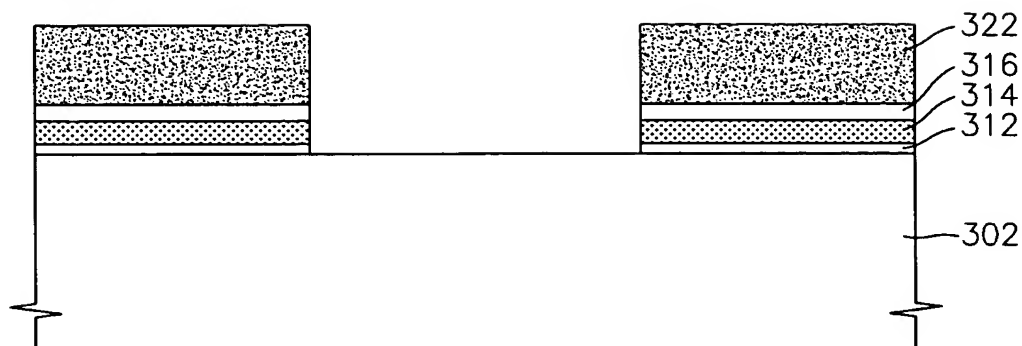
【도 2】



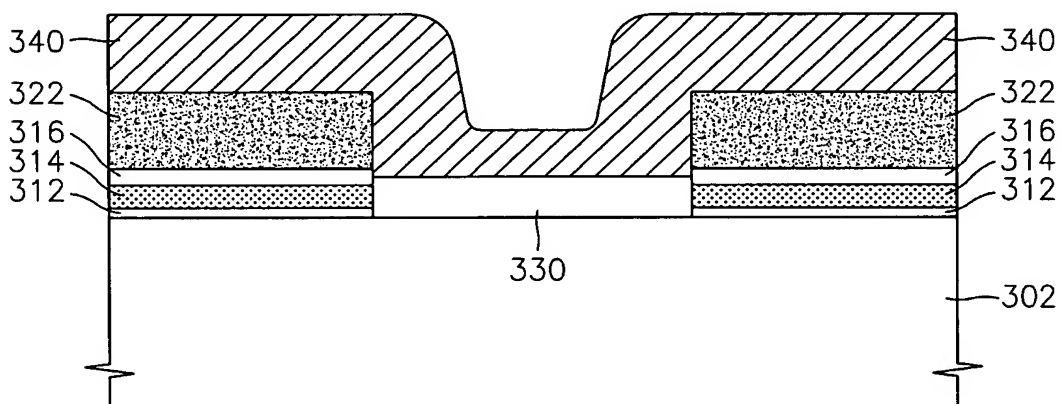
【도 3】



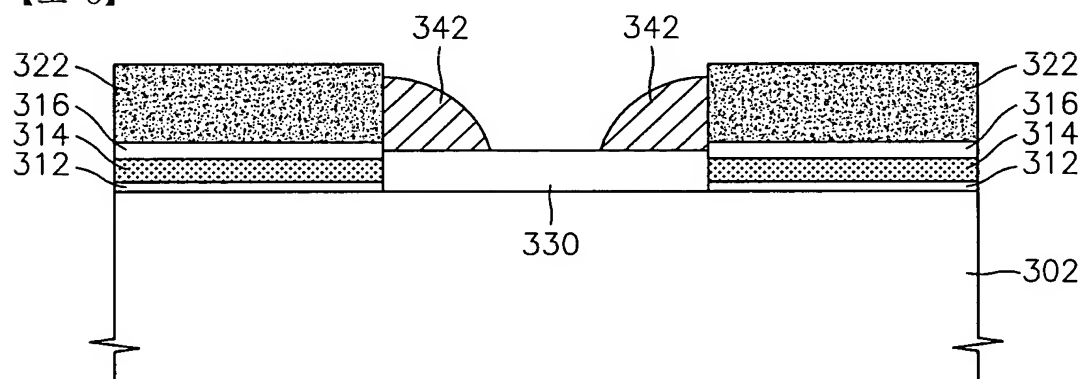
【도 4】



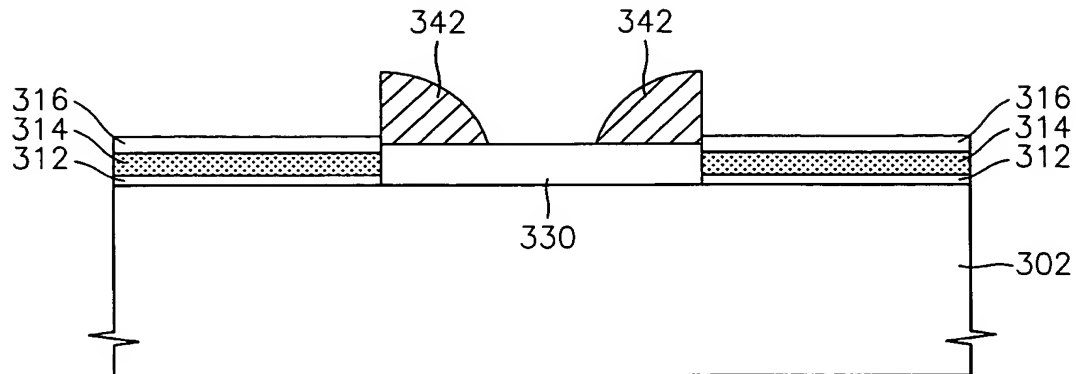
【도 5】



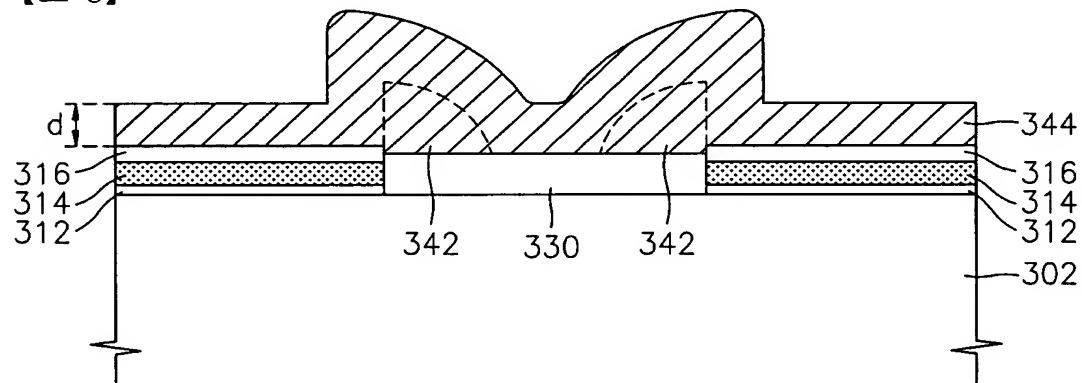
【도 6】



【도 7】



【도 8】



【도 9】

